

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Tohru HIGASHI

Serial Number: Not Yet Assigned

Filed: October 10, 2003

**Customer No.: 38834**

For: METHOD AND APPARATUS FOR MANUFACTURING SEMICONDUCTOR  
DEVICE

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 10, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

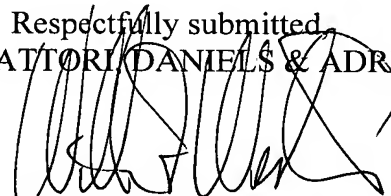
**Japanese Appln. No. 2002-298749, filed on October 11, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



William F. Westerman  
Reg. No. 29,988

Atty. Docket No.: 032030  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
WFW/II

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月11日

出 願 番 号  
Application Number:

特願2002-298749

[ ST.10/C ]:

[ JP2002-298749 ]

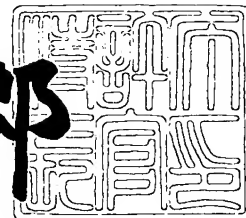
出 願 人  
Applicant(s):

富士通エイ・エム・ディ・セミコンダクタ株式会社

2003年 2月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008901



【書類名】 特許願

【整理番号】 0200146

【提出日】 平成14年10月11日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法及び製造装置

【請求項の数】 10

【発明者】

【住所又は居所】 福島県会津若松市門田町工業団地 6 番 富士通エイ・エム・ディ・セミコンダクタ株式会社内

【氏名】 東 亨

【特許出願人】

【識別番号】 596180124

【氏名又は名称】 富士通エイ・エム・ディ・セミコンダクタ株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0115175

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び製造装置

【特許請求の範囲】

【請求項 1】 アライメントマークを備えた層上に形成された膜の厚さを測定する膜厚測定工程と、

前記膜上に形成された感光性レジストの露光を行う露光工程と、

を有する半導体装置の製造方法において、

前記露光工程は、前記膜厚測定工程において測定された前記膜の厚さに基づいて、露光の際のアライメントのずれの補正の制御を行うアライメント制御工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記膜の厚さと前記露光により前記感光性レジストに転写されるパターンの前記アライメントマークに対する位置ずれ量との相関関係を予め求めておき、

前記アライメント制御工程において、前記相関関係に基づいてアライメントのずれを補正することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 アライメントマークを備えた層上に膜を形成する工程と、  
前記膜上に感光性レジストを塗布する工程と、  
前記感光性レジストの露光を行う工程と、  
前記感光性レジストの現像を行うことにより、前記感光性レジストをパターンニングする工程と、

前記感光性レジストをマスクとして前記膜の加工を行う工程と、

を有する半導体装置の製造方法において、

前記感光性レジストの露光を行う工程は、前記膜の厚さに基づいてアライメントのずれを補正する工程を有することを特徴とする半導体装置の製造方法。

【請求項 4】 前記膜の厚さと前記露光により前記感光性レジストに転写されるパターンの前記アライメントマークに対する位置ずれ量との相関関係を予め求めておき、

前記膜を形成する工程と前記感光性レジストを塗布する工程との間に、前記膜の厚さを測定する工程を有し、

前記感光性レジストの露光を行う工程は、前記相関関係に基づいてアライメントのずれを補正する工程を有することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記膜は、光透過膜であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記膜は、シリコン酸化膜又はシリコン窒化膜であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 前記アライメントのずれの補正として、ウェハスケーリングのずれを補正することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 アライメントマークを備えた層上に形成された膜の厚さを測定する膜厚測定手段と、

前記膜上に形成された感光性レジストの露光を行う露光装置と、

前記感光性レジストの露光に際して、前記膜厚測定手段により測定された厚さに基づいて、前記露光装置におけるアライメントのずれの補正の制御を行うアライメント制御手段と、

を有することを特徴とする半導体装置の製造装置。

【請求項 9】 前記アライメント制御手段は、予め求められた、前記膜の厚さと前記露光により前記感光性レジストに転写されるパターンの前記アライメントマークに対する位置ずれ量との相関関係を記憶する記憶手段を有し、前記相関関係に基づいてアライメントのずれを補正することを特徴とする請求項 8 に記載の半導体装置の製造装置。

【請求項 10】 前記アライメント制御手段は、前記アライメントのずれの補正として、ウェハスケーリングのずれを補正することを特徴とする請求項 8 又は 9 に記載の半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、露光装置を使用した半導体装置の製造方法及び製造装置に関する。

## 【 0 0 0 2 】

## 【従来の技術】

従来、半導体装置を製造するに当たっては、フォトリソグラフィ技術が不可欠となっている。このフォトリソグラフィ技術では、感光性レジストに対する露光が行われる。そして、この露光に際しては、露光装置にて複数枚のウェハを1ロットとして、ロット毎に露光装置のアライメント補正値を求め、その補正値によるアライメントの補正を行ないながら露光を行う。

## 【 0 0 0 3 】

図12は、従来のアライメント補正値を求める方法を示すフローチャートである。従来の方法では、先ず、1ロットの中からパイロットとして1枚のウェハを任意に選択し、このウェハの露光を実行する（ステップS1）。次に、このパイロットにおける位置ずれ量を求め、その量が許容範囲内にあるか否かの判断を行う（ステップS2）。この判断の結果、許容範囲内にあれば、特にアライメントの補正を行うことなく、そのまま、そのロット内の他のウェハの露光を実行する（ステップS3）。一方、位置ずれ量が許容範囲内でない場合には、位置ずれ量に基づくアライメントの補正及びパイロットとして使用したウェハの再生を行った後（ステップS4）、再度パイロットの露光を実行する（ステップS1）。

## 【 0 0 0 4 】

また、他の方法として、これから露光を行おうとするロットの前に露光を行ったロットにおける位置ずれの傾向を求めておき、この傾向に基づいてアライメントの補正を行って、露光を実行する方法もある。

## 【 0 0 0 5 】

また、更に他の方法として、露光装置のアライメント補正値を固定して露光を行う方法もある。

## 【 0 0 0 6 】

## 【特許文献1】

特開平7-167614号公報

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

しかしながら、位置ずれの傾向に基づいて補正を行う方法及びアライメント補正值を固定しておく方法では、正確な補正を行うことが困難であり、特に、近時の微細化に対して、その補正の誤差が許容できない程度のもとなってきている。一方、パイロットを抽出してアライメントの補正值を求める方法では、十分にアライメントの補正を行うことは可能であるが、この一連の工程に要する時間が長く、また、コストが高いという問題点がある。

## 【 0 0 0 8 】

本発明は、かかる問題点に鑑みてなされたものであって、パイロットを使用したアライメント補正を行わずとも、正確なアライメントの補正を簡易に行うことができる半導体装置の製造方法及び製造装置を提供することを目的とする。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

本願発明者は、鋭意検討の結果、感光性レジストの下に形成されている層間絶縁膜の厚さに着目し、この厚さとウェハスケリングとの間に相関関係があることを見出し、この相関関係に基づいて感光性レジストの露光を行うことにより、パイロットを使用しなくても、正確なアライメント補正を行うことができることを見出した。そして、本願発明者は、以下に示す発明の諸態様に想到した。

## 【 0 0 1 0 】

本願の第1の発明に係る半導体装置の製造方法は、アライメントマークを備えた層上に形成された膜の厚さを測定する膜厚測定工程と、前記膜上に形成された感光性レジストの露光を行う露光工程と、を有する半導体装置の製造方法を対象とする。そして、本発明では、前記露光工程は、前記膜厚測定工程において測定された前記膜の厚さに基づいて、露光の際のアライメントのずれの補正の制御を行うアライメント制御工程を有する。

## 【 0 0 1 1 】

本願の第2の発明に係る半導体装置の製造方法は、アライメントマークを備えた層上に膜を形成する工程と、前記膜上に感光性レジストを塗布する工程と、前記感光性レジストの露光を行う工程と、前記感光性レジストの現像を行うことにより、前記感光性レジストをパターンニングする工程と、前記感光性レジストをマ

スクとして前記膜の加工を行う工程と、を有する半導体装置の製造方法を対象とする。そして、本発明では、前記感光性レジストの露光を行う工程は、前記膜の厚さに基づいてアライメントのずれを補正する工程を有する。

#### 【0012】

本願の第3の発明に係る半導体装置の製造装置は、アライメントマークを備えた層上に形成された膜の厚さを測定する膜厚測定手段と、前記膜上に形成された感光性レジストの露光を行う露光装置と、を有する。本発明は、更に、前記感光性レジストの露光に際して、前記膜厚測定手段により測定された厚さに基づいて、前記露光装置におけるアライメントのずれの補正の制御を行うアライメント制御手段を有する。

#### 【0013】

##### 【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置の製造方法及び製造装置、露光装置の制御プログラム並びに記録媒体について添付の図面を参照して具体的に説明する。図1乃至図5は、アライメントの補正項目を示す模式図である。

#### 【0014】

露光装置では、上述のように、アライメントの補正が行われている。このときのアライメントの補正項目としては、例えば、図1に示すウェハスケーリング (Wafer Scaling)、図2に示すウェハオフセット (Wafer Offset (Average))、図3に示すウェハローテーション (Wafer Rotation)、図4に示すチップローテーション (Chip Rotation)、図5に示すチップマグニフィケーション (Chip Magnification) が挙げられる。

#### 【0015】

ウェハスケーリングは、ウェハの中心を基準としてウェハの半径方向にどれだけのずれがあるか、即ちウェハ全体に対する拡大率がどれだけずれているかを示す項目である。ウェハオフセットは、ウェハ全体に対する露光領域がどれだけ平行的にずれているかを示す項目である。ウェハローテーションは、ウェハの中心を回転の中心としてウェハ全体に対する露光領域がどれだけ回転してずれているかを示す項目である。



## 【 0 0 1 6 】

また、チップローテーションは、各チップの中心を回転の中心として露光領域がどれだけ回転してずれているかを示す項目である。チップマグニフィケーションは、各チップの中心を基準としてチップの半径方向にどれだけのずれがあるかを示す項目である。

## 【 0 0 1 7 】

これらの補正項目のうち、本発明は、特にウェハスケールングに有効である。

## 【 0 0 1 8 】

図 6 は、アライメントマークの一例を示す断面図である。この例では、半導体基板、例えば Si 基板 1 上に、 $\text{SiO}_2$  からなる層間絶縁膜 2 が形成されている。層間絶縁膜 2 上には、配線層（図示せず）が形成され、また、この配線層と同層にアライメントマーク（残しマーク）3 が形成されている。配線層及びアライメントマークは、例えば Al 又は Cu から構成される。配線層及びアライメントマーク 3 上には、 $\text{SiO}_2$  からなる層間絶縁膜 4 が形成されており、この層間絶縁膜 4 には、層間絶縁膜 4 に配線層まで達する孔又は溝を形成する際にマスクとして使用される感光性レジスト 5 が形成されている。層間絶縁膜 2 及び 4 は光透過膜である。

## 【 0 0 1 9 】

ここで、本実施形態の具体的な内容について説明する。本実施形態においては、先ず、例えば 10 枚乃至 20 枚以上のウェハについて、アライメントマーク 3 上に層間絶縁膜 4 を形成し、化学的機械研磨（CMP）により平坦化した後、層間絶縁膜 4 の厚さを測定する。層間絶縁膜 4 の厚さは、例えば層間絶縁膜 4 の平坦化の際に使用する CMP ツールに具備された膜厚計で測定することができる。

## 【 0 0 2 0 】

次に、これらの層間絶縁膜 4 を形成したウェハに対し、感光性レジスト 5 を塗布し、これに露光を施す。そして、感光性レジストの現像を行った後、これらのウェハにおけるアライメントマーク 3 と感光性レジストに転写されたアライメントパターンとの位置ずれ量を測定し、層間絶縁膜 4 の厚さとウェハスケールングの値との関係を求める。ここで、ウェハスケールングの値は、ウェハ上の任意の

点の位置ずれ量を、その点とウェハの中心との距離で除算して得た値である。従って、ウェハスケーリングの値は、中心からの距離で規格化されている。図 7 は、上述のようにして得られた層間絶縁膜 4 の厚さとウェハスケーリングの値との関係を示すグラフである。なお、ウェハスケーリングの正の値は、ウェハの中心に向かってずれていることを示し、負の値は、中心から離間する方向に向かってずれていることを示している。

## 【 0 0 2 1 】

図 7 に示すように、層間絶縁膜 4 の厚さとウェハスケーリングの値との関係は、例えば一次関数として表される。図 7 では、 $t$  を層間絶縁膜 4 の厚さ、 $s$  をウェハスケーリングの値、 $R$  を相関係数としている。

## 【 0 0 2 2 】

層間絶縁膜 4 の厚さとウェハスケーリングの値との関係を求めた後、ロット単位で、アライメントマーク 3 上に層間絶縁膜 4 を形成し、その平坦化を行う。そして、平坦化後の層間絶縁膜 4 の厚さを測定する。続いて、ロット内の層間絶縁膜 4 の厚さの代表値、例えば平均値を、図 7 から求められた一次関数の  $t$  に代入し、ウェハスケーリングの値  $s$  を算出する。

## 【 0 0 2 3 】

次いで、ロット単位で、感光性レジスト 5 を層間絶縁膜 4 上に塗布し、算出されたウェハスケーリングの値  $s$  を補償する補正を施しながら、感光性レジスト 5 の露光を行う。

## 【 0 0 2 4 】

その後、他のロットについても、その中の層間絶縁膜 4 の厚さを測定し、その代表値、例えば平均値と、図 7 から求められる関係とから、ウェハスケーリングの値  $s$  を補償する補正を施しながら、感光性レジスト 5 の露光を行う。

## 【 0 0 2 5 】

このようにして、全てのロットに対してアライメントの補正を行う。

## 【 0 0 2 6 】

本実施形態によれば、ロット毎にパイロットを選択して位置ずれ量を求めなくても、全てのロットにおいて、正確なアライメントの補正を行うことが可能であ

る。これは、前述のように、本願発明者が、感光性レジストの下層の膜、本実施形態では層間絶縁膜 4 の厚さとウェハスケーリングの値との間に相関関係があることを見出し、この相関関係を予め求めておくことにより、下地膜の厚さを測定することのみで実際に生じ得るウェハスケーリングの値を見積もることができるからである。

## 【 0 0 2 7 】

そして、実際に半導体装置を製造する場合には、例えば、半導体基板上にトランジスタ等を形成した後、これらを覆う層間絶縁膜を形成し、この層間絶縁膜にコンタクトホールを形成する。その後、更に層間絶縁膜を形成して、ダマシン法等により、溝等の形成を行う。本実施形態は、これらの一連の工程のうち、コンタクトホールの形成及び溝の形成に好適である。

## 【 0 0 2 8 】

次に、上述のような実施形態に係る半導体装置の製造方法を実行するための半導体装置の製造装置について説明する。図 8 は、本発明の実施形態に係る半導体装置の製造装置を示す模式図である。

## 【 0 0 2 9 】

この半導体装置の製造装置には、CMP ツール 1 1、スピンコータ 1 2、ステッパ 1 3 及びコントローラ 1 4 が設けられている。CMP ツール 1 1 は、感光性レジスト 5 の下層の膜である層間絶縁膜 4 の平坦化処理を行うと共に、平坦化処理後の層間絶縁膜 4 の厚さを測定し、その値のロット毎の代表値、例えば平均値をコントローラ 1 4 に出力する。スピンコータ 1 2 は、層間絶縁膜 4 上に感光性レジストを回転塗布する。コントローラ 1 4 には、メモリ等の記憶装置が設けられており、この記憶装置に、予め求められた図 7 に示すような層間絶縁膜 4 の厚さとウェハスケーリングの値との関係が記憶されている。コントローラ 1 4 は、CMP ツール 1 1 により測定されたロット毎の層間絶縁膜 4 の厚さが入力されると、記憶装置から上記相関関係を読み出し、この相関関係に基づいて、位置ずれ量を補償するためのアライメントの補正值をステッパ 1 3 に出力する。ステッパ 1 3 は、コントローラ 1 4 から入力された補正值を含む露光条件の下で、感光性レジスト 5 の露光を行う。なお、コントローラ 1 4 の記憶装置は、コントローラ

14に内蔵されている必要はなく、相関関係が記録されたフレキシブルディスク又はCD-ROM等のような記録媒体から相関関係を読み出すためのドライブ等であってもよい。

【0030】

なお、図7に示す相関関係では、各測定点に対し、1次式に近似を行っているが、例えば三角関数に近似してもよい。

【0031】

また、層間絶縁膜の種類は特に限定されるものではなく、例えばシリコン窒化膜を使用してもよい。

【0032】

本発明の実施形態は、コンピュータがプログラムを実行することによって実現することができる。また、プログラムをコンピュータに供給するための手段、例えばかかるプログラムを記録したCD-ROM等のコンピュータ読み取り可能な記録媒体又はかかるプログラムを伝送するインターネット等の伝送媒体も本発明の実施形態として適用することができる。また、上記のプログラムも本発明の実施形態として適用することができる。上記のプログラム、記録媒体、伝送媒体及びプログラムプロダクトは、本発明の範疇に含まれる。

【0033】

【実施例】

次に、ウェハスケーリングに本発明を適用し、実際に半導体装置を製造した結果について説明する。

【0034】

図9は、予め取得した層間絶縁膜の厚さとウェハスケーリングの値との関係を示すグラフである。ここでは、ウェハの任意の一方向をX方向と定義すると共に、これに直交する方向をY方向と定義し、実際に半導体装置を製造する前に、これらの各方向における相関関係を求めた。図9(a)は、X方向における相関関係を示し、図9(b)は、Y方向における相関関係を示している。

【0035】

そして、本発明を適用した実施例では、図8に示す製造装置を使用し、1ロッ

トのウェハに層間絶縁膜を形成した後、これを平坦化し、その膜厚の平均値をX方向及びY方向について測定した。次いで、層間絶縁膜上に感光性レジストを塗布した。そして、図9（a）及び（b）に基づいて、ウェハスケーリングの値を求め、これを補償するようにして、感光性レジストの露光及び現像を行った。このとき、感光性レジストとしては、住友化学株式会社製PFI32A8を使用し、露光装置としては、キャノン株式会社製FPA3000I5を使用した。

【0036】

これらの工程を総計27ロットについて行った。図10は、本発明の実施例により得られた半導体装置におけるウェハスケーリングの変動を示すグラフである。

【0037】

また、上記実施例との比較のために、アライメント補正値を固定して、感光性レジストの露光及び現像を行った。この結果を図11に示す。

【0038】

図11に示すように、ウェハスケーリングの補正を行わない場合には、ウェハスケーリングのばらつきは1.2ppmとなったのに対し、本発明の実施例によれば、図10に示すように、現像後のウェハにおけるウェハスケーリングのばらつきは0.4ppmまで抑制された。即ち、本実施例によれば、ウェハスケーリングのばらつきを1/3程度まで抑制することができた。

【0039】

以下、本発明の諸態様を付記としてまとめて記載する。

【0040】

（付記1） アライメントマークを備えた層上に形成された膜の厚さを測定する膜厚測定工程と、

前記膜上に形成された感光性レジストの露光を行う露光工程と、

を有する半導体装置の製造方法において、

前記露光工程は、前記膜厚測定工程において測定された前記膜の厚さに基づいて、露光の際のアライメントのずれの補正の制御を行うアライメント制御工程を有することを特徴とする半導体装置の製造方法。

【 0 0 4 1 】

(付記 2) 前記膜の厚さと前記露光により前記感光性レジストに転写されるパターンの前記アライメントマークに対する位置ずれ量との相関関係を予め求めておき、

前記アライメント制御工程において、前記相関関係に基づいてアライメントのずれを補正することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 0 4 2 】

(付記 3) アライメントマークを備えた層上に膜を形成する工程と、

前記膜上に感光性レジストを塗布する工程と、

前記感光性レジストの露光を行う工程と、

前記感光性レジストの現像を行うことにより、前記感光性レジストをパターンニングする工程と、

前記感光性レジストをマスクとして前記膜の加工を行う工程と、

を有する半導体装置の製造方法において、

前記感光性レジストの露光を行う工程は、前記膜の厚さに基づいてアライメントのずれを補正する工程を有することを特徴とする半導体装置の製造方法。

【 0 0 4 3 】

(付記 4) 前記膜の厚さと前記露光により前記感光性レジストに転写されるパターンの前記アライメントマークに対する位置ずれ量との相関関係を予め求めておき、

前記膜を形成する工程と前記感光性レジストを塗布する工程との間に、前記膜の厚さを測定する工程を有し、

前記感光性レジストの露光を行う工程は、前記相関関係に基づいてアライメントのずれを補正する工程を有することを特徴とする付記 3 に記載の半導体装置の製造方法。

【 0 0 4 4 】

(付記 5) 前記膜は、光透過膜であることを特徴とする付記 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 5 】

（付記 6） 前記膜は、シリコン酸化膜又はシリコン窒化膜であることを特徴とする付記 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 6 】

（付記 7） 前記アライメントのずれの補正として、ウェハスケーリングのずれを補正することを特徴とする付記 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 7 】

（付記 8） 前記アライメントのずれの補正として、ウェハオフセット、ウェハローテーション、チップローテーション及びチップマグニフィケーションからなる群から選択された少なくとも 1 種のずれを補正することを特徴とする付記 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 4 8 】

（付記 9） アライメントマークを備えた層上に形成された膜の厚さを測定する膜厚測定手段と、

前記膜上に形成された感光性レジストの露光を行う露光装置と、

前記感光性レジストの露光に際して、前記膜厚測定手段により測定された厚さに基づいて、前記露光装置におけるアライメントのずれの補正の制御を行うアライメント制御手段と、

を有することを特徴とする半導体装置の製造装置。

【 0 0 4 9 】

（付記 1 0） 前記アライメント制御手段は、予め求められた、前記膜の厚さと前記露光により前記感光性レジストに転写されるパターンの前記アライメントマークに対する位置ずれ量との相関関係を記憶する記憶手段を有し、前記相関関係に基づいてアライメントのずれを補正することを特徴とする付記 9 に記載の半導体装置の製造装置。

【 0 0 5 0 】

（付記 1 1） 前記アライメント制御手段は、前記アライメントのずれの補正として、ウェハスケーリングのずれを補正することを特徴とする付記 9 又は 1 0 に記載の半導体装置の製造装置。

【 0 0 5 1 】

(付記 1 2) 前記アライメント制御手段は、前記アライメントのずれの補正として、ウェハオフセット、ウェハローテーション、チップローテーション及びチップマグニフィケーションからなる群から選択された少なくとも 1 種のずれを補正することを特徴とする付記 9 乃至 1 1 のいずれか 1 項に記載の半導体装置の製造装置。

【 0 0 5 2 】

(付記 1 3) コンピュータに、感光性レジストの露光を行う露光装置の動作を制御させる露光装置の制御プログラムであって、

前記コンピュータに、

その上に前記感光性レジストが形成される膜の厚さが入力されると、予め求められた、前記膜の厚さと前記露光により前記感光性レジストに転写されるパターンの前記アライメントマークに対する位置ずれ量との相関関係を記憶している記憶手段から、前記相関関係を読み出させる読出手順と、

前記膜の厚さに基づいて、前記露光装置におけるアライメントのずれの補正の制御を行うアライメント制御手順と、

を実行させることを特徴とする露光装置の制御プログラム。

【 0 0 5 3 】

(付記 1 4) 前記コンピュータに、前記アライメント制御手順において、前記アライメントのずれの補正として、ウェハスケリングのずれを補正させることを特徴とする付記 1 3 に記載の露光装置の制御プログラム。

【 0 0 5 4 】

(付記 1 5) 前記コンピュータに、前記アライメント制御手順において、前記アライメントのずれの補正として、ウェハオフセット、ウェハローテーション、チップローテーション及びチップマグニフィケーションからなる群から選択された少なくとも 1 種のずれを補正させることを特徴とする付記 1 3 又は 1 4 に記載の露光装置の制御プログラム。

【 0 0 5 5 】

(付記 1 6) コンピュータに、感光性レジストの露光を行う露光装置の動作



を制御させる露光装置の制御プログラムを記録したコンピュータ読み取り可能な記録媒体であって、

前記露光装置の制御プログラムは、前記コンピュータに、

その上に前記感光性レジストが形成される膜の厚さが入力されると、予め求められた、前記膜の厚さと前記露光により前記感光性レジストに転写されるパターン  
の前記アライメントマークに対する位置ずれ量との相関関係を記憶している記憶手段から、前記相関関係を読み出させる読出手順と、

前記膜の厚さに基づいて、前記露光装置におけるアライメントのずれの補正の制御を行うアライメント制御手順と、

を実行させることを特徴とするコンピュータ読み取り可能な記録媒体。

【 0 0 5 6 】

(付記 1 7) 前記露光装置の制御プログラムは、前記コンピュータに、前記アライメント制御手順において、前記アライメントのずれの補正として、ウェハスケーリングのずれを補正させることを特徴とする付記 1 6 に記載のコンピュータ読み取り可能な記録媒体。

【 0 0 5 7 】

(付記 1 8) 前記露光装置の制御プログラムは、前記コンピュータに、前記アライメント制御手順において、前記アライメントのずれの補正として、ウェハオフセット、ウェハローテーション、チップローテーション及びチップマグニフィケーションからなる群から選択された少なくとも 1 種のずれを補正させることを特徴とする付記 1 6 又は 1 7 に記載のコンピュータ読み取り可能な記録媒体。

【 0 0 5 8 】

【発明の効果】

以上詳述したように、本発明によれば、パイロットを抽出してのアライメント補正を行わずとも、正確なアライメント補正を行うことができる。従って、露光処理の再生回数を低減すると共に、少ない工程数、かつ低いコストで高い歩留を得ることができる。

【図面の簡単な説明】

【図 1】

アライメントの補正項目（ウェハスケーリング）を示す模式図である。

【図 2】

アライメントの補正項目（ウェハオフセット）を示す模式図である。

【図 3】

アライメントの補正項目（ウェハローテーション）を示す模式図である。

【図 4】

アライメントの補正項目（チップローテーション）を示す模式図である。

【図 5】

アライメントの補正項目（チップマグニフィケーション）を示す模式図である。

【図 6】

アライメントマークの一例を示す断面図である。

【図 7】

層間絶縁膜の厚さとウェハスケーリングの値との関係を示すグラフである。

【図 8】

本発明の実施形態に係る半導体装置の製造装置を示す模式図である。

【図 9】

予め取得した層間絶縁膜の厚さとウェハスケーリングの値との関係を示すグラフである。

【図 1 0】

本発明の実施例により得られた半導体装置におけるウェハスケーリングの変動を示すグラフである。

【図 1 1】

比較例により得られた半導体装置におけるウェハスケーリングの変動を示すグラフである。

【図 1 2】

従来のアライメント補正値を求める方法を示すフローチャートである。

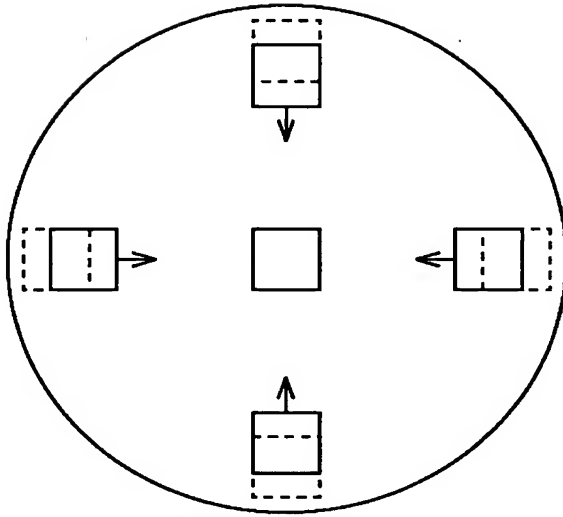
【符号の説明】

1 ; S i 基板

- 2、4 ; 層間絶縁膜
- 3 ; アライメントマーク
- 5 ; 感光性レジスト
- 1 1 ; CMP ツール
- 1 2 ; スピンコータ
- 1 3 ; ステッパ
- 1 4 ; コントローラ

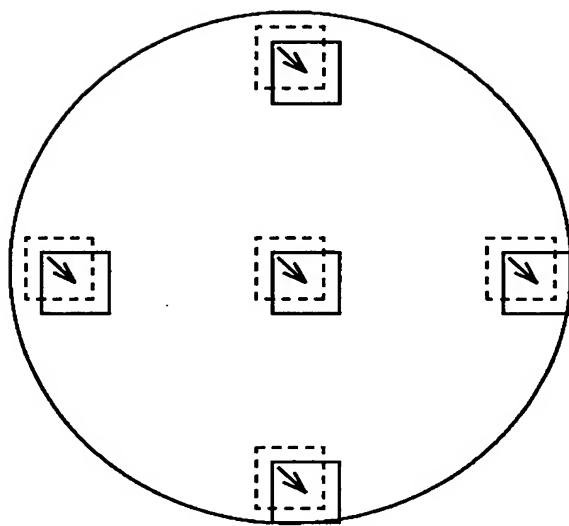
【書類名】 図面

【図 1】



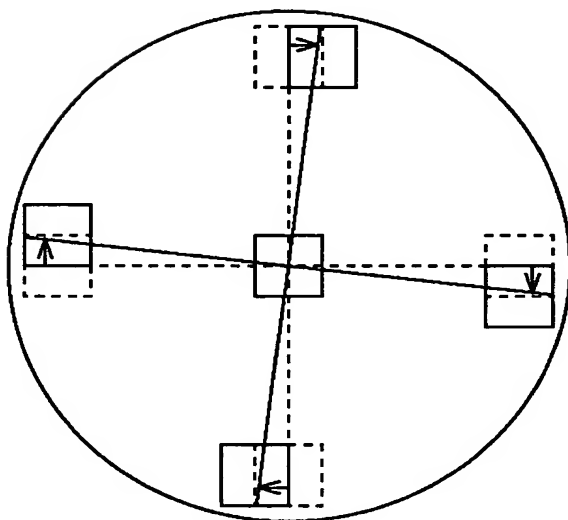
Wafer Scaling

【図 2】



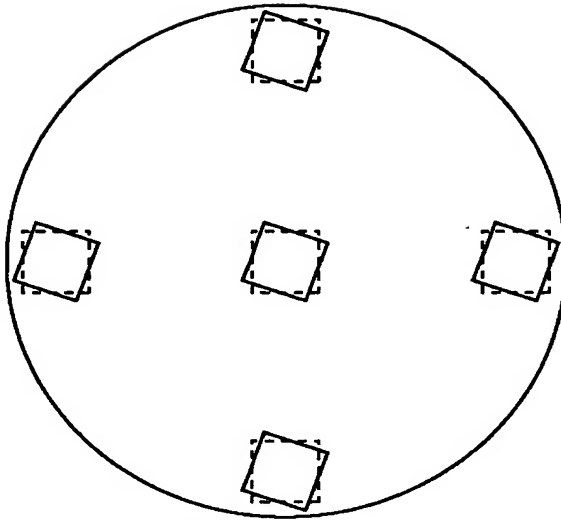
Wafer Offset (Average)

【図 3】



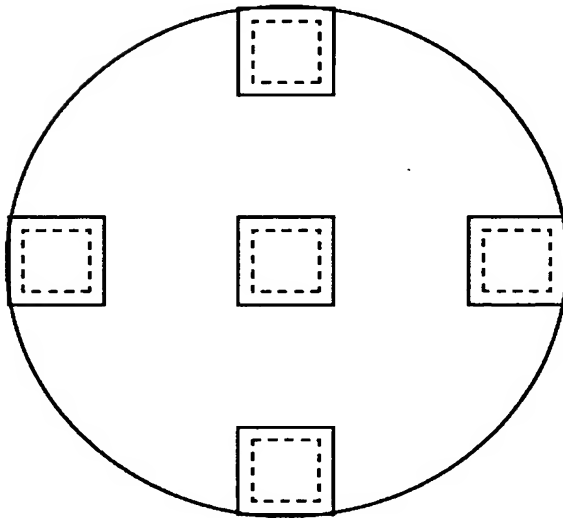
Wafer Rotation

【図 4】



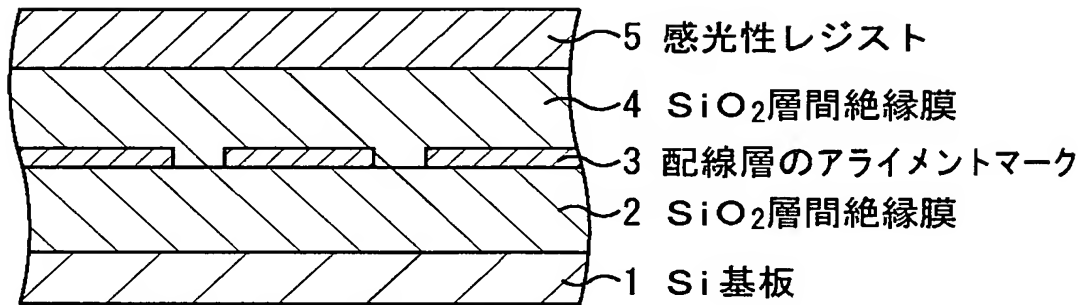
Chip Rotation

【図 5】

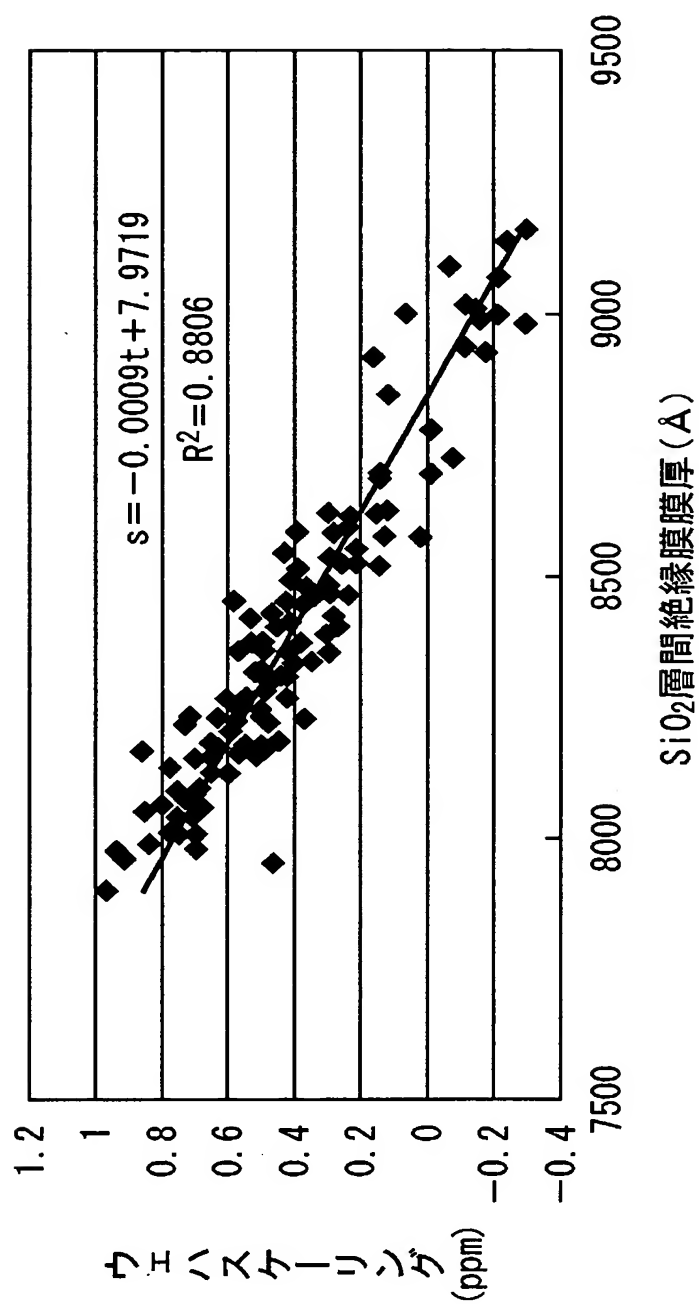


Chip Magnification

【図 6】

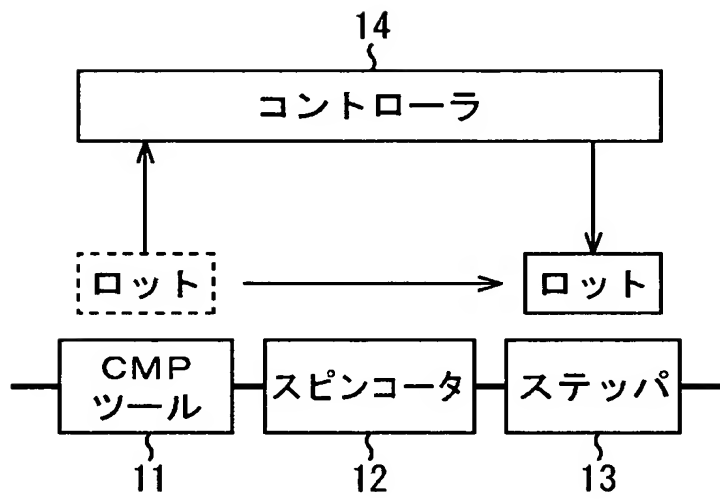


【図7】

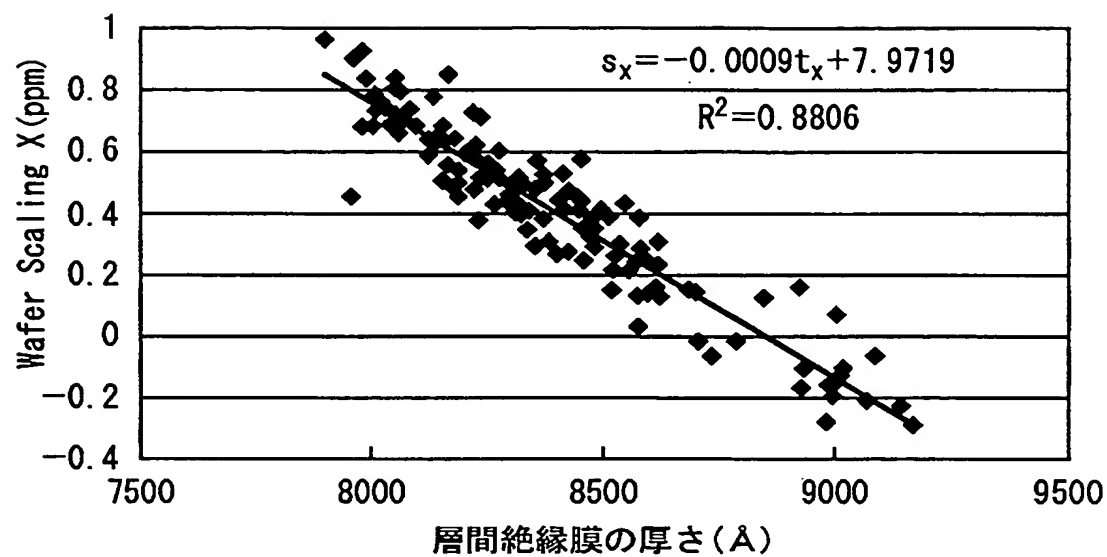




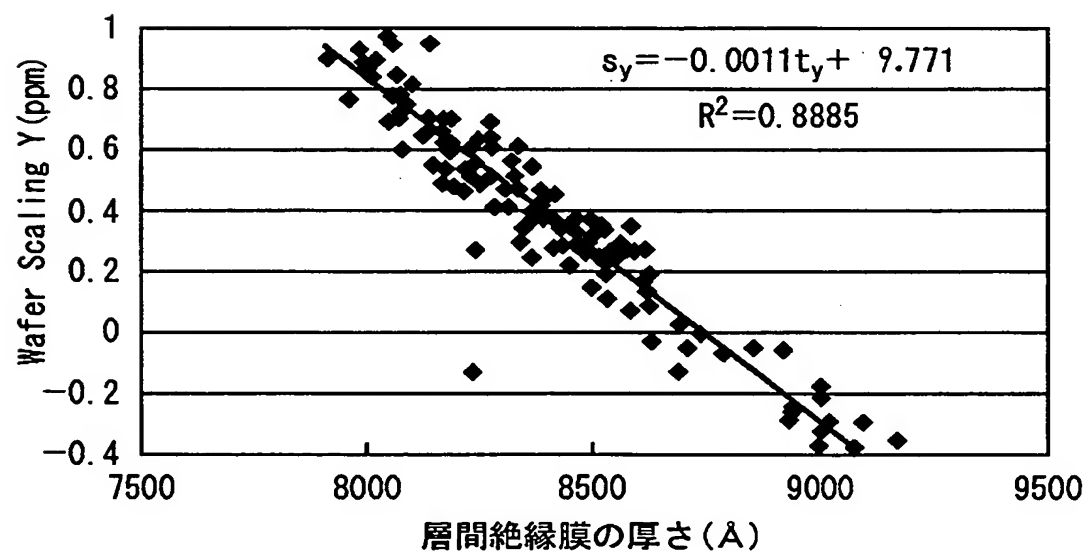
【図 8】



【図 9】

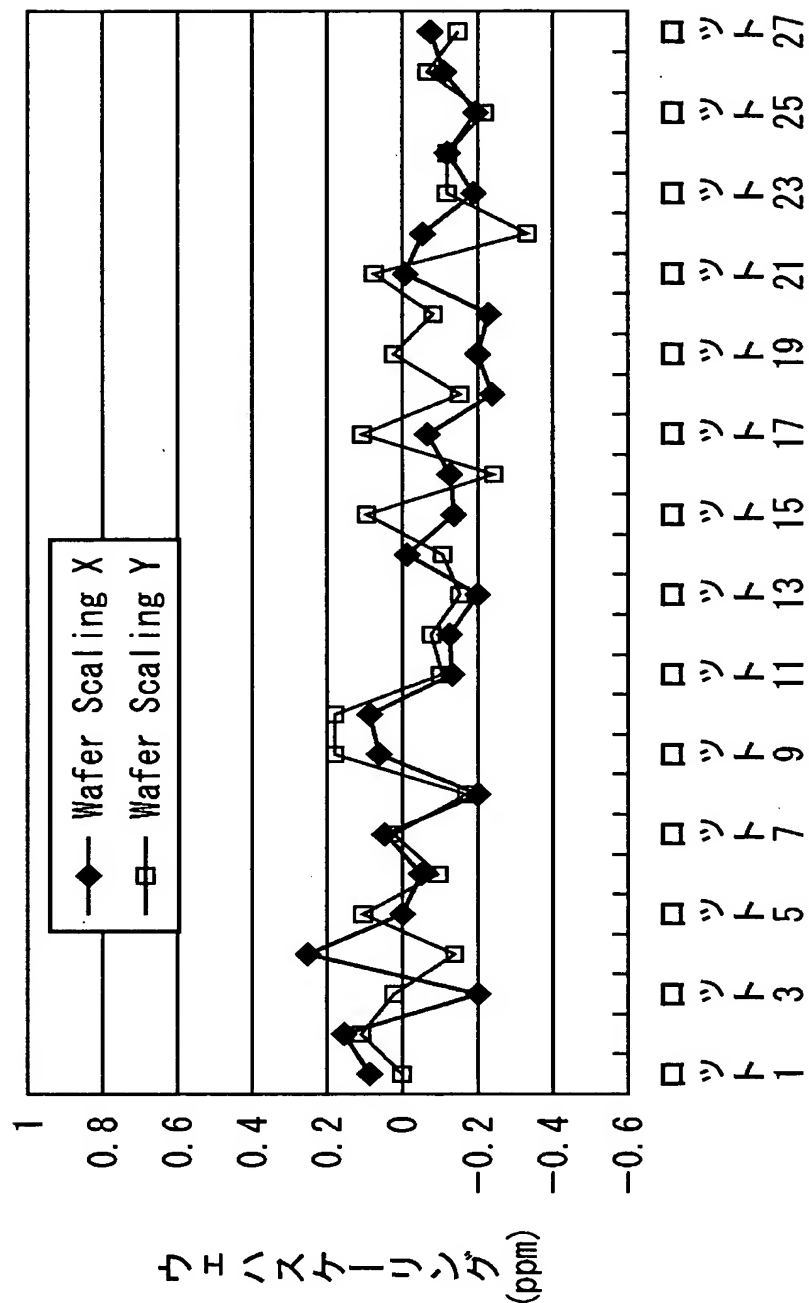


(a)

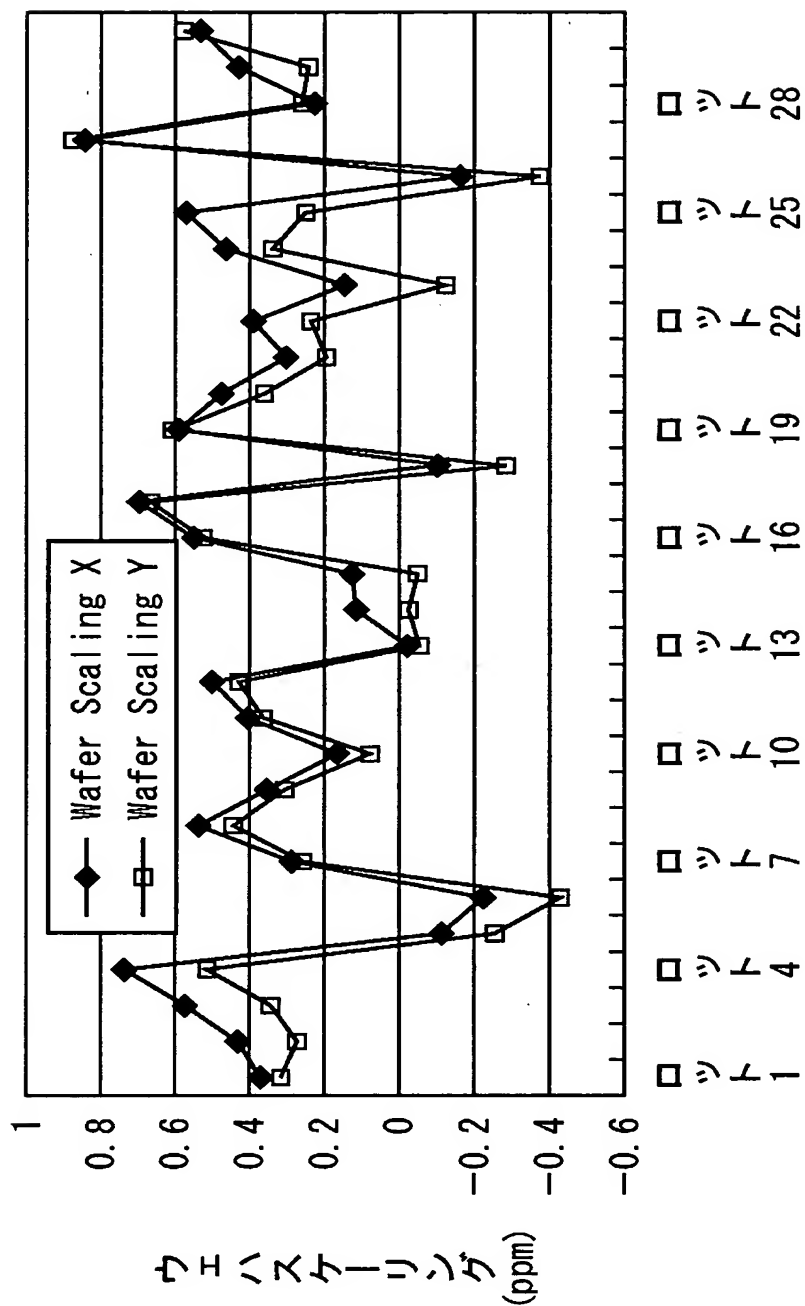


(b)

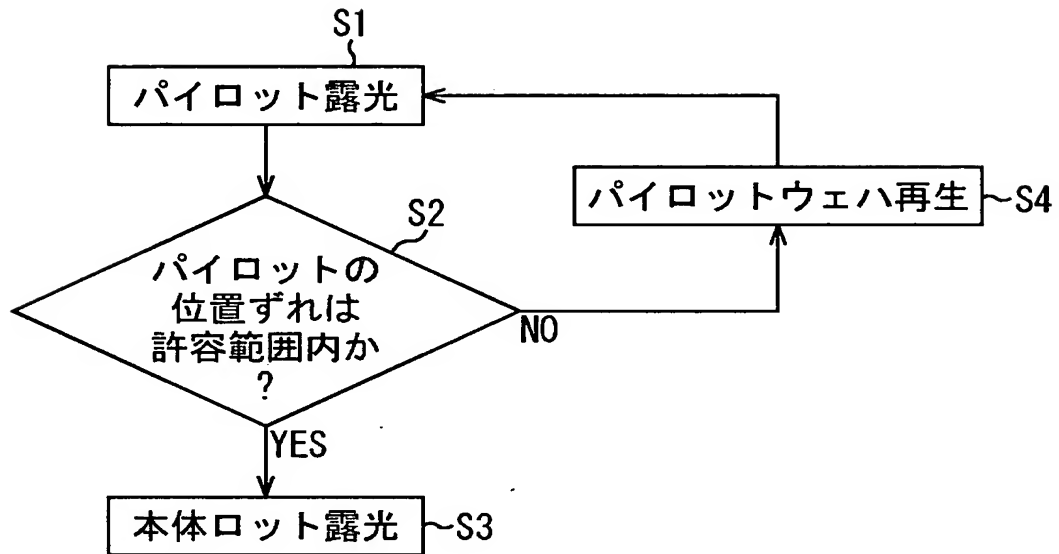
【図 10】



【図 11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 パイロットを使用したアライメント補正を行わずとも、正確なアライメントを補正を簡易に行うことができる半導体装置の製造方法及び製造装置を提供する。

【解決手段】 予め、10乃至20枚程度のウェハについて、アライメントマークと感光性レジストに転写されたアライメントパターンとの位置ずれ量を測定し、層間絶縁膜の厚さとウェハスケーリングの値との相関関係を求めておく。実際に、露光を行う際には、ロット単位で、アライメントマーク上に層間絶縁膜を形成し、その平坦化を行う。次いで、平坦化後の層間絶縁膜の厚さを測定する。続いて、ロット内の層間絶縁膜の厚さの平均値と上記相関関係からウェハスケーリングの値を見積もり、ロット単位で、感光性レジストを層間絶縁膜上に塗布した後、ウェハスケーリングの値を補償する補正を施しながら、感光性レジストの露光を行う。

【選択図】 図8

出 願 人 履 歴 情 報

識別番号 [ 5 9 6 1 8 0 1 2 4 ]

1. 変更年月日 1 9 9 6 年 1 2 月 1 3 日

[変更理由] 新規登録

住 所 福島県会津若松市門田町工業団地 6 番

氏 名 富士通エイ・エム・ディ・セミコンダクタ株式会社